Seat No.: _____ Enrolment No._____

# GUJARAT TECHNOLOGICAL UNIVERSITY

**DIPLOMA ENGINEERING – SEMESTER – VI • EXAMINATION – SUMMER 2015**

**Subject Code: 3361104** **Date:06-05-2015**

**Subject Name: VLSI**

**Time: 10:30 AM TO 1:00 PM** **Total Marks: 70**

**Instructions:**

1. **Attempt all questions.**
2. **Make Suitable assumptions wherever necessary.**
3. **Figures to the right indicate full marks.**
4. **Use of programmable & Communication aids are strictly prohibited.**
5. **Use of only simple calculator is permitted in Mathematics.**
6. **English version is authentic.**

**Q.1** Answer any seven out of ten. દશમાંથી કોઇપણ સાતના જવાબ આપો. **14**

1. Draw circuit diagram of two input NAND gate with depletion nMOS load.

૧. બે ઈનપુટ NAND ગેટ ડીપલેશન nMOS લોડ સાથેનો સરકીટ ડાયાગ્રામ દોરો.

2. Draw energy band diagram of MOS system.

૨. MOS સીસ્ટમનો એનૃજી બેન્ડ ડાયાગ્રામ દોરો.

3. Draw symbol of N channel and P channel MOSFET.

૩. N ચેનલ અને P ચેનલ MOSFETના સિમ્બોલ દોરો.

4. Define 1) Enhancement type MOSFET 2) Depletion type MOSFET

૪. વ્યાખ્યા આપો ૧) એન્હાસમેન્ટ ટાઈપ MOSFET ૨) ડીપલેશન ટાઈપ MOSFET

5. List advantages of CMOS Inverter.

૫. CMOS ઇન્વટરના ફાયદાનું લિસ્ટ આપો.

6. Draw circuit diagram of Cascaded CMOS Inverter.

૬. કેસકાડેડ CMOS ઇન્વટરનો સરકિટ ડાયાગ્રામ દોરો.

7. Define VOH, VOL, VIH, VIL.

૭. વ્યાખ્યા આપો. VOH, VOL, VIH, VIL.

8. Define Entity in VHDL program.

૮. VHDL પ્રોગ્રામમાં એન્ટીટીની વ્યાખ્યા આપો.

9. List VHDL programming methodology.

૯. VHDL પ્રોગ્રામિંગ મેથેડોલોજીનું લિસ્ટ આપો.

10. Differentiate between full custom design and semi custom design.

૧૦. ફુલ કસ્ટમ ડીઝાઇન અને સેમી કસ્ટમ ડીઝાઇનનો તફાવત આપો.

**Q.2** (a) Draw depletion load nMOS inverter with Voltage Transfer Characteristic. **03**

**પ્રશ્ન. ૨** (અ) ડીપલેશન લોડ nMOS ઇન્વર્ટેર વોલ્ટેજ ટ્રાન્સફર લાક્ષણીકતા સાથે દોરો. ૦૩

OR

(a) Explain operation of CMOS Inverter circuit with diagram. **03**

(અ) CMOS ઇન્વર્ટેર સરકિટનું ઓપરેશન ડાયાગ્રામ સાથે સમજાવો. ૦૩

(b) Implement the logic function G = (*A (D + E) +BC)' using* CMOS. **03**

(બ) G = (*A (D + E) +BC)' લોજિક ફન્કશન* CMOSની મદદથી અમલમાં મુકો. ૦૩

OR

(b) Implement the logic function G = (*AB + CD)' using* CMOS. **03**

(બ) G = (*AB + CD)' લોજિક ફન્કશન* CMOSની મદદથી અમલમાં મુકો. ૦૩

(c) Write Short Note on Standard Cells Based Design. **04**

(ક) સ્ટાનડરડ સેલ બેસ ડીઝાઇન પર ટુકનૌંધ લખો. ૦૪

OR

(c) Explain operation of MOSFET. **04**

(ક) MOSFETનું ઓંપરેશન સમજાવો. ૦૪

(d) Write VHDL code to implement Half subtractor. **04**

(ડ) હાફ સબટ્રેકટર અમલમાં મુકતો VHDL કોડ લખો. ૦૪

OR

| | | | |
|---|---|---|---|
| | (d) | Write VHDL code to implement EX NOR gate using data flow model. | **04** |
| | (ડ) | EX NOR ગેટ ડેટા ફ્લો મોડેલની મદદથી અમલમાં મુકતો VHDL કોડ લખો. | ૦૪ |
| **Q.3** | (a) | Write short note on OAI gates. | **03** |
| **પ્રશ્ન. 3** | (અ) | OAI ગેટ પર ટુકનોંધ લખો. | ૦3 |

OR

| | | | |
|---|---|---|---|
| | (a) | Draw circuit diagram of CMOS SR latch using NOR gate. | **03** |
| | (અ) | CMOS SR લેચનો સરકિટ ડાયાગ્રામ NOR ગેટની મદદથી દોરો. | ૦3 |
| | (b) | Explain EX OR gate using CMOS logic gate. | **03** |
| | (બ) | CMOS લોજીક ગેટની મદદથી EX OR ગેટ સમજાવો. | ૦3 |

OR

| | | | |
|---|---|---|---|
| | (b) | Draw circuit diagram of two input NOR gate with CMOS logic circuit. | **03** |
| | (બ) | બે ઈનપુટ NOR ગેટ CMOS લોજીક સરકીટ સાથે સરકીટ ડાયાગ્રામ દોરો. | ૦3 |
| | (c) | Write VHDL code to implement Half Adder. | **04** |
| | (ક) | હાફ એડર અમલમાં મૂકતો VHDL કોડ લખો. | ૦૪ |

OR

| | | | |
|---|---|---|---|
| | (c) | Write VHDL code to implement NOR gate using structural model. | **04** |
| | (ક) | NOR ગેટ સ્ટ્રકચર મોડેલની મદદથી અમલમાં મુકતો VHDL કોડ લખો. | ૦૪ |
| | (d) | Explain Clocked CMOS SR latch using NAND gate. | **04** |
| | (ડ) | Clocked CMOS SR લેચ NAND ગેટની મદદથી સમજાવો. | ૦૪ |

OR

| | | | |
|---|---|---|---|
| | (d) | Write VHDL code to implement Parity Generator. | **04** |
| | (ડ) | પેરીટી જનરેટર અમલમાં મુકતો VHDL કોડ લખો. | ૦૪ |
| **Q.4** | (a) | Explain Enhancement load nMOS inverter. | **03** |
| **પ્રશ્ન. ૪** | (અ) | એન્હાસમેન્ટ લોડ nMOS ઈન્વરટર સમજાવો. | ૦3 |

OR

| | | | |
|---|---|---|---|
| | (a) | Write short note on AOI gates. | **03** |
| | (અ) | AOI ગેટ પર ટુકનૌંધ લખો. | ૦૩ |
| | (b) | Write VHDL code to implement D flip flop. | **04** |
| | (બ) | D ફ્લીપ ફ્લોપ અમલમાં મુકતો VHDL કોડ લખો. | ૦૪ |

OR

| | | | |
|---|---|---|---|
| | (b) | Write VHDL code to implement Up counter. | **04** |
| | (બ) | અપ કાઉન્ટર અમલમાં મુકતો VHDL કોડ લખો. | ૦૪ |
| | (c) | Write a short note on FPGA. | **07** |
| | (ક) | FPGA પર ટુકનૌંધ લખો. | ૦૭ |
| **Q.5** | (a) | Write VHDL code to implement 8 to 3 Encoder. | **04** |
| **પ્રશ્ન. ૫** | (અ) | 8 to 3 એન્કોડર અમલમાં મુકતો VHDL કોડ લખો. | ૦૪ |
| | (b) | Explain Resistive load inverter with diagram. | **04** |
| | (બ) | રેઝીઝટીવ લોડ ઈન્વરટર ડાયાગ્રામ સાથે સમજાવો. | ૦૪ |
| | (c) | Write VHDL code to implement EX OR gate. | **03** |
| | (ક) | EX OR ગેટ અમલમાં મુકતો VHDL કોડ લખો. | ૦૩ |
| | (d) | Draw circuit diagram of two input NAND gate with CMOS logic circuit. | **03** |
| | (ડ) | બે ઈનપુટ NAND ગેટ CMOS લોજીક સરકીટ સાથે સરકીટ ડાયાગ્રામ દોરો. | ૦૩ |

**********