Seat No.: ________ Enrolment No.___________

GUJARAT TECHNOLOGICAL UNIVERSITY

Diploma Engineering - SEMESTER–VIII • EXAMINATION – WINTER • 2016

Subject Code: 3361104 **Date: 24-10-2016**

Subject Name: VLSI

Time: 10:30 am - 01:00 pm **Total Marks: 70**

Instructions:

1. **Attempt all questions.**
2. **Make Suitable assumptions wherever necessary.**
3. **Figures to the right indicate full marks.**
4. **Use of programmable & Communication aids are strictly prohibited.**
5. **Use of only simple calculator is permitted in Mathematics.**
6. **English version is authentic.**

Q.1 Answer any seven out of ten. દશમાંથી કોઇપણ સાતના જવાબ આપો. **14**

1. Draw symbol a) N channel enhancement type MOSFET
   b) P channel Depletion type MOSFET

૧. સિમ્બોલ દોરો. અ) N-ચેનલ એન્હાસમેંન્ટ ટાઇપ MOSFET
   બ) P-ચેનલ ડીપ્લેક્સન ટાઇપ MOSFET

2. Write difference between Enhancement & Depletion type MOSFET.

૨. એન્હાસમેંન્ટ અને ડીપ્લેક્સન ટાઇપ MOSFET વચ્ચે નો તફાવત લખો.

3. What is top to down and bottom to up approach in VLSI design flow?

૩. VLSI ડિઝાઈન ફ્લોમાં ટોપ થી ડાઉન અને બોટમ થી અપ અભિગમ શું છે?

4. What is threshold voltage? Write polarity of V_{th} in n-MOSFET, p-MOSFET.

૪. થ્રેસોલ્ડ વોલ્ટેજ શું છે? n-MOSFET, p-MOSFET માટેની પોલારોટી લખો.

5. Write Four advantages of full custom design style.

૫. ફૂલ કસ્ટમ ડીઝાઇન સ્ટાઇલ ના ચાર ફાયદા લખો.

6. Draw circuit diagram of three Cascaded Inverter with V_{OH}, V_{OL}, V_{IH}, V_{IL} notation.

૬. ત્રણ કેસ્કેડ ઈનવરટરનો સર્કિટ ડાયાગ્રામ દોરી V_{OH}, V_{OL}, V_{IH}, V_{IL} સંકેત દર્શાવો.

7. Define V_{OH}, V_{OL}, V_{IH}, V_{IL}.

૭. V_{OH}, V_{OL}, V_{IH}, V_{IL} ની વ્યાખ્યાઓ આપો.

8. What is entity? Write down if syntax with example.

૮. એન્ટીટી શું છે? એમની સિન્ટેક્ષ ઉદાહરણ સાથે લખો.

9. Explain difference between signal and variable in terms of VHDL.

૯. VHDLમાં સિગ્નલ અને વેરીએબલ વચ્ચે નો તફાવત સમજાવો.

10. Fill in Blanks – In General ___________modeling used to implement combinational logic and ____________ modeling used to implement sequential logic in VHDL.

૧૦. ખાલી જગ્યા પૂરો. – VHDLમાં સામાન્યતઃ ___________ મોડલીંગ નો ઉપયોગ કોમ્બીનેશનલ લોજીક બનાવા અને _____________ મોડલીંગ નો ઉપયોગ સિક્વન્સિઅલ લોજીક બનાવા થાઈ છે.

Q.2	(a)	Explain design hierarchy with example.	**03**
પ્રશ્ન. ૨	(અ)	ડીઝાઇન હેરારકી ઉદાહરણ સાથે સમજાવો.	૦૩
		OR	
	(a)	Write short note on Standard cell based design.	**03**
	(અ)	સટાન્ડરડ સેલ પર આધારિત ડીઝાઇન પર ટુક નોંધ લખો.	૦૩
	(b)	Explain MOS system under external bias.	**03**
	(બ)	MOS system બાહ્ય બાયસમાં સમજાવો.	૦૩
		OR	
	(b)	Explain operation of MOSFET beyond saturation with movement of pinch off point.	**03**
	(બ)	MOSFETનું સેચ્યુરેસન બહારનું ઓપેરેસન પીંચ ઓફ પોઈન્ટના ચલન સાથે સમજાવો.	૦૩
	(c)	Draw Y-chart design flow and explain in brief.	**04**
	(ક)	Y-ચાર્ટ ડીઝાઇન ફ્લો દોરી ટૂંક માં સમજાવો.	૦૪
		OR	
	(c)	Draw the energy band diagram of P-type silicon substrate and define following term. (i) Fermi potential (ii) Electron affinity (iii) Work function.	**04**
	(ક)	P-ટાઈપ સીલીકોન સબસ્ટરેકનો એનર્જી બેન્ડ ડાયાગ્રામ દોરો. નીચેની વ્યાખ્યા આપો. i) ફર્મી પોટેન્સીઅલ ii) ઇલેક્ટ્રોન એફીનીટી iii) વર્ક ફ્ન્ક્સન	૦૪
	(d)	Explain enhancement load nMOS inverter with its disadvantages.	**04**
	(ડ)	એન્હાસમેંન્ટ લોડ nMOS ઈન્વરટર તેના ગેરફાયદા સાથે સમજાવો.	૦૪
		OR	
	(d)	Compare enhancement and depletion load nMOS inverter.	**04**
	(ડ)	એન્હાસમેંન્ટ લોડ અને ડીપ્લેક્સન લોડ nMOS ઈન્વરટરની તુલના કરો.	૦૪
Q.3	(a)	Explain noise immunity and noise margin for nMOS inverter.	**03**
પ્રશ્ન. 3	(અ)	nMOS ઈન્વરટર માટે નોઈસ ઈમ્યુંનીટી અને નોઈસ માર્જીન સમજાવો.	૦૩
		OR	
	(a)	Draw truth table and circuit diagram of two input NOR gate using Depletion nMOS load.	**03**
	(અ)	ડીપ્લેક્સન લોડ nMOSનું બનાવેલ બે ઈનપુટ NOR ગેટનું ટ્રુથ ટેબલ અને સર્કીટ ડાયાગ્રામ દોરો.	૦૩
	(b)	Explain various types VHDL programming methodologies in brief.	**03**
	(બ)	VHDL પ્રોગ્રામિંગની વિવિધ મેથડના પ્રકારો ટૂંક માં સમજાવો.	૦૩
		OR	
	(b)	Write down VHDL code for full adder as A, B, C as input and SUM, CARY as output.	**03**
	(બ)	ફૂલ એડરનો VHDL કોડ લખો. A, B, C ઈનપુટ અને SUM, CARY આઉટ્પુટ તરીકે લો.	૦૩
	(c)	Draw CMOS inverter and explain its operation with VTC.	**04**
	(ક)	CMOS ઈન્વરટર દોરી તેનું ઓપરેશન VTC સાથે સમજાવો	૦૪
		OR	
	(c)	Explain Resistive load MOS inverter. Write equations of V_{OH}, V_{OL}, V_{IH}, $V_{IL.}$	**04**
	(ક)	રેસીસટીવ લોડ MOS ઈન્વરટર સમજાવો. V_{OH}, V_{OL}, V_{IH}, $V_{IL.}$ સમીકરણ લખો.	૦૪

	(d)	Draw Two input NAND gate using CMOS & Depletion nMOS load.	**04**
	(ડ)	બે ઈનપુટ NOR ગેટને CMOS અને ડીપ્લેક્સન લોડ nMOSથી દોરો.	૦૪
		OR	
	(d)	Draw circuit diagram of CMOS SR latch using NOR gate.	**04**
	(ડ)	CMOS SR લેચ NOR ગેટનો ઉપયોગ કરી દોરો.	૦૪
Q.4	(a)	Draw two input XNOR gate using CMOS.	**03**
પ્રશ્ન. ૪	(અ)	બે ઈનપુટ XNOR ગેટને CMOSથી દોરો.	૦૩
		OR	
	(a)	Write short note on AOI gates.	**03**
	(અ)	AOI ગેટ પર ટૂંક નોંધ લખો.	૦૩
	(b)	Draw logic function Z = (A (D + E) + BC)' using CMOS.	**04**
	(બ)	CMOS થી લોજીક ફંક્શન Z = (A (D + E) + BC)' દોરો.	૦૪
		OR	
	(b)	Write a VHDL program for D flip flop with reset (active high) input.	**04**
	(બ)	D flip flop સાથે reset (active high) નો VHDL પ્રોગ્રામ લખો.	૦૪
	(c)	Write short note FPGA with its advantages, disadvantages and application.	**07**
	(ક)	FPGA પર ટૂંક નોંધ લખી તેના ફાયદા, ગેરફાયદા અને ઉપયોગીતા જણાવો.	૦૭
Q.5	(a)	Write a VHDL code for 3 to 8 decoder.	**04**
પ્રશ્ન. ૫	(અ)	3 to 8 decoder માટે VHDL કોડ લખો.	૦૪
	(b)	Write a VHDL code for 8x1 multiplexer.	**04**
	(બ)	8x1 Multiplexer માટે VHDL કોડ લખો.	૦૪
	(c)	Draw logic function Z = [(D + E + A) (B + C)]' using Depletion nMOS load OAI Style.	**03**
	(ક)	OAI સ્ટાઇલ ની ડીપ્લેક્સન nMOS લોડથી Z = [(D + E + A) (B + C)]' લોજીક ફંક્શન દોરો.	૦૩
	(d)	Write a VHDL program to implement half –substractor.	**03**
	(ડ)	હાફ સબસ્ટરેકટર બનાવા માટેનો VHDL પ્રોગ્રામ લખો.	૦૩

****